نام درس: طراحی سیستم‌های VLSI
رشته تحصیلی/ کُد درس: سخت افزار ۱۱۱۵۲۰۵

تعداد سؤالات: تستی: ۲۵ تشریحی: ۵
زمان آزمون (دقیقه): تستی: ۵۰ تشریحی: ۸۰

پیام نور
خبرگزاری دانشجویان
PNUNA.COM
PNU News Agency

کُد سری سؤال: یک (۱)

استفاده از: مجاز است.

امام خمینی(ره): این محرم و صفر است که اسلام را زنده نگه داشته است.

۱. در ویفری به قطر ۲۰ سانتی متر تعداد die با ابعاد 1.5*1.5 سانتی متر مربع چند است؟

الف. ۱۷۰ ب. ۱۰۷ ج. ۱۵۰ د. ۱۰۰

۲. کدام گزینه درست است؟

الف. باروری با افزایش اندازه die کاهش پیدا می‌کند.

ب. باروری با افزایش اندازه die افزایش پیدا می‌کند.

ج. باروری با افزایش اندازه die تقریبا ثابت می‌ماند.

د. باروری از اندازه die مستقل است.

۳. در جریان ابزار ASIC از کدام ابزار برای تبدیل نمایش RTL به سطح گیت استفاده می‌شود؟

الف. شبیه سازی ب. سنتز منطقی ج. مسیردهی د. بازبینی

۴. با توجه به اینکه $\mu_n = 2.5\mu_p$ است. عرض نسبی دو mosfet کانال n و p باید چه رابطه‌ای نسبت به هم داشته باشند تا پارامتر رسانایی انتقالی آن‌ها یکسان باشد؟

الف. 0.4Wp=Wn ب. Wn=4Wp ج. Wp=0.25Wn د. Wn=Wp

۵. در سوال قبل، نسبت W/L چقدر باشد تا MOSFET کانال p عملکرد مشابه MOSFET کانال n داشته باشد؟

الف. 0.02 ب. 5 ج. 50 د. 20

۶. در فرآیند ساخت IC داریم: $K'n=50\mu A/V^2$ و $V_{TH}=1V$ در کاربردی که $V_{DS}=V_{GS}=V_{DD}=5V$ است، میخواهیم ترانزیستوری به طول 2µm با جریان درین 0.8ma بسازیم. عرض کانال چند µm باید باشد؟

الف. 1.5 ب. 8 ج. 4 د. 2

۷. برای یک ترانزیستور nMOS تخلیه ای که با $V_{DS}=0.1V$ در ناحیه تریودی کار می‌کند جریان درین به ازای $V_{GS}=-1V$ و $V_{GS}=+1V$ به ترتیب 1ma و 3ma است. ولتاژ آستانه این ترانزیستور چقدر است؟

الف. +3.4v ب. -0.8v ج. -2.05v د. -0.95v

۸. برای یک ترانزیستور nMOS دارای ولتاژ آستانه 0.4v طراح مدار می‌خواهد بداند در مقابل کاهش ولتاژ آستانه به اندازه 100mv ، جریان نشتی زیر آستانه در دمای اطاق با فرض $V_{GS}=0$ چند برابر خواهد شد؟(n=1.4)

الف. 8.2 ب. 15.6 ج. 1.27 د. 1

خبرگزاری دانشجویان پیام نور :: PNUNA.COM

WWW.PNUNA.COM

نام درس: طراحی سیستم‌های VLSI
رشته تحصیلی/ کُد درس: سخت افزار ۱۱۱۵۲۰۵
تعداد سؤالات: تستی: ۲۵ تشریحی: ۵
زمان آزمون (دقیقه): تستی: ۵۰ تشریحی: ۸۰
کُد سری سؤال: یک (۱)
استفاده از: مجاز است.

پیام نور
خبرگزاری دانشجویان
PNUNA.COM
PNU News Agency

در تستهای ۹ تا ۱۱ فرض کنید: $Ln=Lp=1.2\mu m$ و $Wn=1.8\mu m$ و $Wp=5.4\mu m$ و $K'n=81\mu A/V^2$ و $k'p=27\mu A/V^2$ و $VDD=5v$ و $V_{TH,n}=|V_{TH,p}|=0.75V$

۹. نقطه آستانه این وارونگر چه ولتاژی دارد؟

الف. 2.03 ب. 2.97 ج. 2.5 د. 0.5

۱۰.اگر بخواهیم تاخیر انتشار وارونگر به ازای بار 0.05pf از 60ps تجاوز نکند، Wp و Wn به ترتیب چند µm باید باشند؟

الف. 9.87 و 3.95 ب. 11.8 و 3.95 ج. 11.8 و 3.92 د. 11 و 3

۱۱. برای وارونگری با مشخصات ذکر شده در توضیحات بالا، ماکزیمم جریانی که طی تغییر حالت از منبع تغذیه ۵ ولت کشیده می‌شود چند میلی‌آمپر است؟

الف. 0.65 ب. 0.19 ج. 0.5 د. ۱

۱۲. در گیت CMOS کاهش طول کانال MOSFET های p و n با ضریب یکسان کاهش در هر دو ترانزیستور ، بر حاشیه نویز چه تاثیری دارد؟

الف. افزایش پیدا می‌کند . ب. کاهش پیدا می‌کند.
ج. مستقل از طول کانال است. د. ثابت می‌ماند.

۱۳. با دو برابر کردن پهنای همگی ترانزیستورها در گیت ایستای CMOS ، حاشیه نویز چه تغییری می‌کند؟

الف. ۲ برابرمی‌شود. ب. نصف می‌شود. ج. بدون تغییر می‌ماند. د. چهار برابر می‌شود.

۱۴. فرض کنید F تابع منطقی شبکه بالابر ، G تابع بولین شبکه پایین بر و A و B و C و D ورودی گیت های CMOS باشند.کدام گزینه درست است؟

الف. $G(A,B,C,D)=F(A,B,C,D)$ ب. $G(A,B,C,D)' =F(A,B,C,D)$
ج. $G(A',B',C',D')=F(A',B',C',D')$ د. $G(A,B,C,D)'=F(A',B',C',D')$

۱۵. کدام گزینه درست است؟

الف. هدایت انتقالی در دوقطبی ها مستقل از دما می‌باشد.

ب. ترانزیستورهای CMOS در مقایسه با دو قطبی‌ها به مساحت کمتری نیاز دارند.

ج. برای یک ترانزیستور nMOS در چاه p متصل به زمین هنگامی که سطح ولتاژ سورس به بالاتر از زمین می رسد ، ولتاژ آستانه شروع به کاهش می‌کند.

د. برای ساخت مدارهای BiCMOS می توان دقیقا از همان فرآیند ساخت CMOS استفاده کرد.

PNUNA.COM :: خبرگزاری دانشجویان پیام نور

WWW.PNUNA.COM

پیام نور
خبرگزاری دانشجویان
PNUNA.COM
PNU News Agency

۱۶. برای پیاده سازی نقشه کارنو زیر حداقل به چند ترانزیستور در شبکه پایین بر نیاز داریم؟

A / BC	0	1
00	0	1
01	1	0
10	0	0
11	0	0

الف. ۹ ب. ۸ ج. ۱۶ د. ۵

۱۷. تابع منطقی $\overline{F(A,B.C.D,E,F)}=AB+CD+EF$ معادل کدام روش نگاشت نگاری زیر است؟

الف. AOI222 ب. OAI222 ج. AO232 د. AOI311

۱۸. تابع منطقی $\overline{F(A,B.C.D,E)}=(A+B+C)DE$ معادل کدام روش نگاشت نگاری زیر است؟

الف. OAI32 ب. OAI311 ج. AO232 د. OA333

۱۹. تابع $F = \overline{\overline{(A+B+C)(D+E+F)}}$ معادل چیست؟

الف. OAII32 ب. AOI33 ج. OA33 د. AO33

۲۰. کدام گزینه درست است؟

الف. NFET های متصل شده به شکل سری تابع NAND را پیاده سازی می‌کنند.

ب. PFET های متصل شده به شکل سری تابع NOR را پیاده سازی می‌کنند.

ج. PFET های متصل شده به شکل موازی تابع NAND را پیاده سازی می‌کنند.

د. همه موارد فوق صحیح می‌باشند.

۲۱. کدام گزینه درست است؟

الف. ترانزیستور با پهنای بیشتر قابلیت جریان‌دهی کمتری دارد.

ب. ترانزیستور پهن‌تر در گیت خودش، ظرفیت خازنی کمتری دارد.

ج. ترانزیستور پهن‌تر مقاومت بیشتری را در مدل ترانزیستوری از خودش نشان می‌دهد.

د. ترانزیستور ضعیف ترانزیستوری است که کمترین اندازه ممکن برای آن در نظر گرفته شده است.

۲۲. کدام قانون طراحی، توصیف کننده حداقل پهنای کانال ترانزیستور است؟

الف. پهنای پلی‌سیلیکون ب. پهنای فلز

ج. پهنای نفوذ د. طول پلی‌سیلیکون

۲۳. کدام قانون طراحی توصیف کننده حداقل طول کانال ترانزیستور است؟

الف. پهنای پلی‌سیلیکون ب. طول پلی‌سیلیکون

ج. طول ناحیه نفوذ د. طول سیم فلزی

خبرگزاری دانشجویان پیام نور :: PNUNA.COM

WWW.PNUNA.COM

۲۴. کدام گزینه درست است؟

الف. یک تماس می‌تواند برای اتصال نفوذ N و P بکار رود.

ب. یک VIA می‌تواند برای اتصال پلی و فلز ۲ به کار رود.

ج. یک تماس می‌تواند برای اتصال نفوذ و فلز ۱ استفاده شود.

د. ترانزیستورهای NMOS باید در یک زیر لایه P یا چاه P قرار گیرند که آن نیز به VDD اتصال پیدا می‌کند.

۲۵. معمولا لازم است فواصل بین نماها در فاصله حداقلی قرار گیرند این کار باعث پیشگیری از کدام یک از مشکلات زیر می‌شود؟

الف. اتصال کوتاه ب. اتصال باز ج. اتلاف توان د. تاخیر زمان بندی

سوالات تشریحی:

۱. فرض کنید اندازه قطر ویفری ۱۲ اینچ و اندازه die برابر $2.5cm^2$ و در هر سانتی متر مربع یک نقص داشته باشیم. با فرض $\alpha=3$ در این فرآیند CMOS ، تعداد die ها در هر ویفر و بار وری die را حساب کنید. (۱/۲۵ نمره)

۲. برای ترانزیستور nMos با $\mu n=600cm^2/V.s$ و $C_{ox}=7*10^{-8}\ F/cm^2$ داریم : $W=2\mu m$ و $L=0.2\mu m$ و $V_{th}=1V$ منحنی رابطه I_D و V_{GS} و V_{DS} را رسم کنید.(۱/۵ نمره)

۳. وارونگری با بار مقاومتی و مشخصات زیر را در نظر بگیرید.

$V_{DD}=5V$, $K'n=20$,$V_{TH}=0.8\ V$, $R_L=200K\Omega$, $W/L=2$

ولتاژهای V_{OL} و V_{OH} و V_{IL} و V_{IH} را محاسبه و از آنجا حاشیه های نویز را بدست آورید. (۱/۲۵ نمره)

۴. نمودار مداری تابع F=A(B+C)را با CMOS پیاده سازی کنید.(۱ نمره)

۵. مسیر اولری مشترک نقشه کارنوی زیر را بدست آورید.(۱ نمره)

AB / CD	00	01	11	10
00	1	1	1	1
01	0	0	0	0
11	0	0	0	0
10	1	0	0	0

PNUNA.COM :: خبرگزاری دانشجویان پیام نور

WWW.PNUNA.COM