

نام درس: طراحی خودکار مدارهای دیجیتال

رشته تحصیلی / کد درس: سخت افزار (تجميع) ۱۱۱۵۲۱۳

پیام نور
دانشجویان
خبرگزاری

PNUNA.COM
PNU News Agency



استفاده از:

کد سری سؤال: یک (۱)

مجاز است.

تعداد سوالات: تستی: ۲۵ تشریحی: ۴
زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

امام خمینی^(ع): این محرم و صفر است که اسلام را زنده نگه داشته است.

۱. طراحی خودکار به چه معنی است؟

- الف. سپردن بخش‌هایی از مراحل طراحی به کامپیوتر
ب. سپردن تمام مراحل طراحی به کامپیوتر
ج. انجام طراحی کاملا بصورت اتوماتیک
د. توصیف و اجرای طرح با یکی از زبانهای نرم‌افزاری

۲. بالاترین سطح انتزاع چه سطحی است؟

- الف. ریز معماری
ب. سیستم
ج. معماری
د. منطقی

۳. UVRAM نام کدامیک از حافظه‌های زیر است؟

- الف. SPLD
ب. PROM
ج. EEPROM
د. EPROM

۴. GAL چیست؟

- الف. نوعی PLD ترتیبی است.
ب. نوعی PLD ترکیبی است.
ج. فقط مقلد PAL ترکیبی است.
د. فقط مقلد PAL ترتیبی است.

۵. EPLD ها از کدام تکنولوژی استفاده می‌کنند؟

- الف. گیت شناور
ب. گیت‌های آبشاری
ج. گیت‌های AND-OR
د. گیت‌های NAND-NAND

۶. در یک تراشه PLD با چه ولتاژی اتصال فیوزی سوزانده می‌شود؟

- الف. ۵ تا ۱۲ ولت
ب. ۱۰ تا ۳۰ ولت
ج. ۱۰ تا ۲۰ ولت
د. ۲۰ تا ۳۰ ولت

۷. شرکت Xilinx در بلوک منطقی FPGA از کدام ساختار استفاده می‌کند؟

- الف. Multiplexer
ب. PAL
ج. lookup table
د. MPGA

۸. FGPA برای کاربردهایی با چه حجم تولید عالی است؟

- الف. ۶۰.۰۰۰
ب. ۴۰.۰۰۰
ج. ۵۰.۰۰۰
د. ۱۰۰.۰۰۰

۹. در مورد فیوز کدام عبارت زیر صحیح است؟

- الف. یک اتصال فلزی نازک است که در اثر عبور جریان ذوب و از بین می‌رود.
ب. در حالت عادی باز بوده و پس از برنامه‌ریزی اتصال کوتاه می‌شود.
ج. یک اتصال فلزی نازک است که در اثر عبور جریان اتصال کوتاه می‌شود.
د. در تکنولوژیهای جدید نیز از فیوز استفاده می‌شود.

۱۰. در تولیدات تجاری فعلی از کدام تکنولوژی در FPGA استفاده می‌شود؟

- الف. EEPROM
ب. SRAM و Anti Fuse
ج. EPROM
د. SRAM



۱۱. علت کند بود FPGA در مقایسه با MPGA چیست؟

- الف. وجود اتصالات فلزی
ب. وجود تاخیر دهنده های داخلی
ج. پایین بودن تکنولوژی ساخت
د. برنامه پذیر بودن (توسط کاربرد)
۱۲. ساخت یک سوئیچ برنامه پذیر را به چه صورتی معمول نیست؟
الف. یک سری ترانزیستور که با EPROM کنترل می شود.
ب. یک سری ترانزیستور که با EEPROM کنترل می شود.
ج. یک سری ترانزیستور که با سلولهای SDRAM کنترل می شود.
د. یک سری ترانزیستور که با SRAM کنترل می شود.
۱۳. سیگنال Z در کد زیر عملکرد چه مداری را توسط VHDL نشان می دهد.

Architecture

Signal x,y : std_logic;

Begin

x<= A and B;

Y<= (not A) and (not B);

Z<=X or Y;

END

الف. XOR

ب. XNOR

ج. AND

د. NAND

۱۴. مولدهای تابع منطقی چیستند؟

- الف. مهمترین عناصر قابل برنامه ریزی CLB ها هستند.
ب. مهمترین عناصر قابل برنامه ریزی FPGA ها هستند.
ج. مهمترین عناصر قابل برنامه ریزی در LUT ها هستند.
د. بلوک هایی هستند که در MPGA ها استفاده می شوند.
۱۵. در زبان VHDL اولویت کدامیک از عملگرها بیشتر است؟

الف. AND

ب. XOR

ج. NOT

د. OR

۱۶. کدامیک از گزینه های زیر برای تعریف کاراکتر x در VHDL صحیح است؟

الف. 'x'

ب. "x"

ج. x

د. "x"

۱۷. در مورد تبدیل نوع در VHDL کدامیک از عبارات زیر صحیح نیست؟

- الف. تبدیل بین انواعی که اصالتاً از یک نوع هستند امکان پذیر است.
ب. انواع شمارشی می توانند تبدیل شوند.
ج. تبدیل بین انواع آرایه ای بشرط داشتن طول یکسان و عناصر هم نوع امکان پذیر است.
د. تبدیل نوع بدلیل حساسیت VHDL به نوع می باشد.

نام درس: طراحی خودکار مدارهای دیجیتال

رشته تحصیلی / کد درس: سخت افزار (تجميع) ۱۱۱۵۲۱۳

پیام نور
دانشجویان
خبرگزاری

PNUNA.COM
PNU News Agency



استفاده از:

کد سری سؤال: یک (۱)

مجاز است.

تعداد سوالات: تستی: ۲۵ تشریحی: ۴
زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

۱۸. متغیر "101011" = A بعد از عمل شیفت A sll 2 برابر چه مقداری می شود؟

الف. 001010 ب. 010110 ج. 101100 د. 011010

۱۹. در مورد لیست حساسیت و دستور wait در موضوع پردازش (Process) کدام گزینه صحیح است؟

الف. لیست حساسیت باید قبل از دستور wait استفاده شود.

ب. اگر لیست حساسیت وجود نداشته باشد می توان از دستور wait استفاده کرد.

ج. لیست حساسیت نسبت به دستور wait اولویت کمتری دارد.

د. نمی توان همزمان هم لیست حساسیت داشت و هم دستور wait

۲۰. خروجی ماشین مور به چه چیزی وابسته است؟

الف. به حالت فعلی و حالت قبلی

ب. فقط به حالت فعلی

ج. به حالت فعلی و ورودی لحظه ای

د. به حالت قبلی و ورودی لحظه ای

۲۱. کد VHDL زیر مربوط به چیست؟

```
entity FUNC is
port (
    data_in: in std_logic;
    enable: in std_logic;
    data_out: out std_logic
)
end FUNC;

architecture behv of FUNC is
begin

    process(data_in, enable)
    begin
        if (enable='1') then
            -- no clock signal here
            data_out <= data_in;
        end if;
    end process;

end behv;
```

JK-FF د.

T-FF ج.

simple-latch ب.

D-FF الف.

تعداد سوالات: تستی: ۲۵ تشریحی: ۴
زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

پیام نور
دانشجویان
خبرگزاری
PNUNA.COM
PNU News Agency

نام درس: طراحی خودکار مدارهای دیجیتال
رشته تحصیلی / کد درس: سخت افزار (تجميع) ۱۱۱۵۲۱۳

مجاز است.

استفاده از:

کد سری سؤال: یک (۱)

۲۲. کد VHDL مربوط به چیست؟

```
entity FUNC_ent is
port (
    x: in std_logic;
    y: in std_logic;
    F: out std_logic
);
end XNOR_ent;

architecture behv1 of FUNC_ent is
begin

    process(x, y)
    begin
        -- compare to truth table
        if (x/=y) then
            F <= '0';
        else
            F <= '1';
        end if;
    end process;

end behv1;
```

الف. NAND ب. XOR ج. XNOR د. NOR

۲۳. حافظه ROM را در VHDL چگونه می توان تعریف کرد؟

الف. بصورت آرایه ثابت
ب. بصورت آرایه پویا
ج. بصورت ماتریس دو بعدی پویا
د. یک متغیر رشته ای

۲۴. از زاویه طراحی در سطح انتقال ثبات در هر طرح دیجیتال چه چیزهایی وجود دارد؟

الف. یک واحد کنترل و یک واحد اجرا
ب. یک واحد کنترل و یک واحد انتقال کنترل
ج. یک واحد اجرا و یک واحد انتقال
د. یک واحد کنترل و یک مسیر داده

۲۵. نوع character در VHDL شامل چه نوع کاراکترهایی می شود؟

الف. تنها کاراکترهای حروف انگلیسی
ب. کاراکترهای حروف انگلیسی بعلاوه اعداد ۰ تا ۹
ج. هر نوع کاراکتر قابل چاپ
د. کاراکترهای کد اسکی زیر کد ۱۲۸

تعداد سوالات: تستی: ۲۵ تشریحی: ۴
زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

پیام نور
دانشجویان
خبرگزاری
PNUNA.COM
PNU News Agency

نام درس: طراحی خودکار مدارهای دیجیتال
رشته تحصیلی / کد درس: سخت افزار (تجميع) ۱۱۱۵۲۱۳

مجاز است.

استفاده از:

کد سری سؤال: یک (۱)

سوالات تشریحی

۱. تاخیر لختی و تاخیر انتقال چیست و چگونه می توان در VHDL مدل کرد. (۲ نمره)
۲. گیت شناور چیست ؟ در کجا کاربرد دارد ؟ ساختار آن را بکشید. (۱ نمره)
۳. المان منطقی LE چیست؟ با رسم شکل نشان دهید. (۱ نمره)
۴. برنامه VHDL یک شمارنده ۴ بیتی را بنویسید. (۲ نمره)