

زمان آزمون (دقیقه): تستی: ۱۲۰ تشریحی: ۰

تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: اصول سیستم‌های کامپیووتری

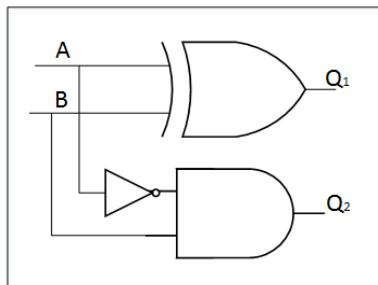
رشته تحصیلی/گد درس: ریاضیات و کاربردها، علوم کامپیووتر، علوم کامپیووتر(چندبخشی) ۱۱۱۵۱۶۳

پایگاه خبری دانشجویان پیام نور



استفاده از ماشین حساب مهندسی مجاز است

۱- مدار زیر چه کاری انجام می دهد؟

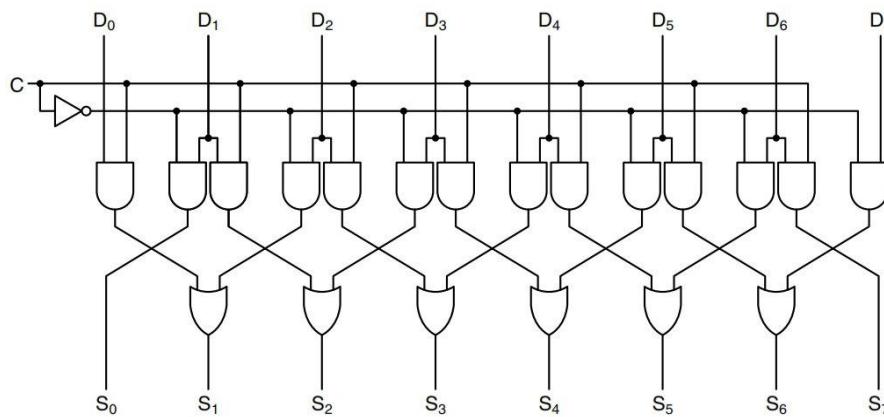


۱. نیم جمع کننده ۲. تمام جمع کننده ۳. نیم تفریق کننده ۴. تمام تفریق کننده

۲- برای یک حافظه DDR با پهنای باند خروجی ۳۲ بیتی و با فرکانس ۱۰۰۰MHZ ، نرخ انتقال داده ها کدام گزینه است؟

۱. 32Gbps ۲. 64Gbps ۳. 3.2Gbps ۴. 6.4Gbps

۳- در مدار شکل مقابل اگر D ورودی مدار و S خروجی مدار باشد در صورتیکه C مساوی باشد مدار چه کاری انجام می دهد؟



۱. انتقال سریال به راست ۲. شیفت به راست ۳. انتقال سریال به چپ ۴. انتقال سریال به چپ

زمان آزمون (دقیقه) : تستی : ۱۲۰ تشریحی : ۰

تعداد سوالات : تستی : ۳۰ تشریحی : ۰

عنوان درس : اصول سیستمهای کامپیوترا

رشته تحصیلی / گد درس : ریاضیات و کاربردها، علوم کامپیوتر، علوم کامپیوتر (چندبخشی) ۱۱۱۵۶۳ پایگاه خبری دانشجویان پیام نور

۴- برای طراحی یک ALU بصورت ۳۲ بیتی از ۳۲ تا ALU یک بیتی بصورت متصل استفاده کرده ایم، اگر تاخیر ALU هر کدام ۱ns باشد و تاخیر انتشار رقم نقلی در هر کدام ۲ns باشد، جواب جمع دو عدد ۳۲ بیتی در کدام زمان در دسترس خواهد بود؟

۱۲۷ns . ۴

۱۲۸ns . ۳

۹۶ns . ۲

۹۴ns . ۱

۵- یک حافظه ۴۰۹۶Kx32bit معادل کدام است؟

۱۶MB . ۴

۳۲MB . ۳

۸MB . ۲

۶۴MB . ۱

۶- مشکل اصلی طراحی گذرگاه بصورت سنکرون (همگام) مربوط به کدام گزینه است؟

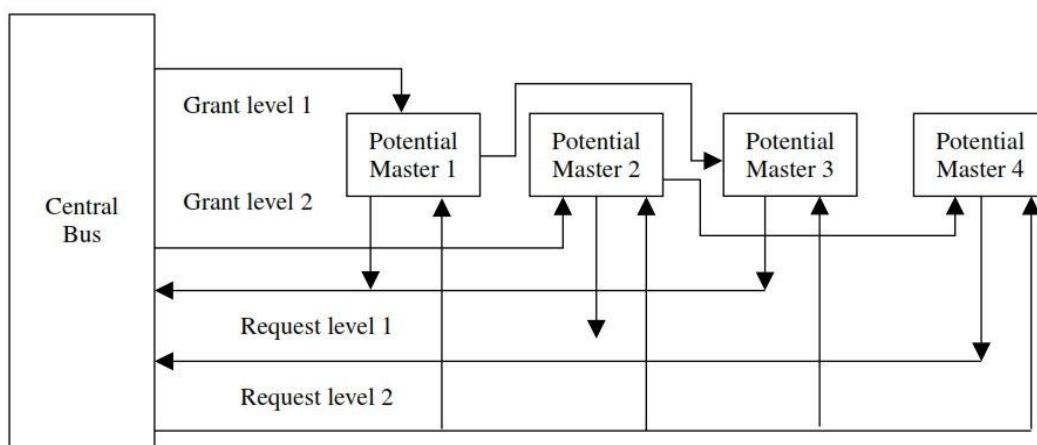
۱. کم بودن سرعت حافظه به دلیل محدودیت تکنولوژی.

۲. مسئله عدم همزمانی در استفاده از تبادل پیام بین دستگاه ها.

۳. درگیر بودن گذرگاه با سخت افزارهای نامتجانس از نظر سرعت.

۴. کند بودن سرعت کلاک در سیستم گذرگاه سنکرون.

۷- در شکل مقابل نوع داوری گذرگاه چیست؟



۲. داوری مت مرکز دو سطحی

۱. داوری غیر مت مرکز دو سطحی

۴. داوری غیر مت مرکز

۳. داوری مت مرکز

۸- نوع داوری در گذرگاه PCI به چه صورتی است؟

۲. مت مرکز چند سطحی

۱. مت مرکز

۴. غیر مت مرکز بسیار سریع

۳. غیر مت مرکز

زمان آزمون (دقیقه): تستی: ۱۲۰ تشریحی: ۰

تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: اصول سیستمهای کامپیوتو

رشه تحصیلی/گد درس: ریاضیات و کاربردها، علوم کامپیوتر، علوم کامپیوترا (چندبخشی) ۱۱۱۵۶۳ پایگاه خبری دانشجویان پیام نور

۹- اگر در فرمت کلمه کنترلی شکل مقابل بیت JMPC یک باشد چه آدرسی برای ریزدستور بعدی در MPC قرار می گیرد؟

Bits	9	3	8	9	3	4		
NEXT_ADDRESS	J M P C	J A M N	J S L Z	S R A 8	F ₀ F ₁ E N A	F ₀ E N B V A	I N C H O P C S P C P C M D R M A R W R E T E C H	B bus

MPC= NEXT- ADDRESS .۲

MPC=NEXT-ADDRESS OR JAMN .۱

MPC=MBR OR NEXT-ADDRESS .۴

MPC= NEXT-ADDRESS OR JAMZ .۳

۱۰- در صورتی که بخواهیم یک عمل انتقال از MBR به TOS را همراه با یک عمل نوشتن و یک دستور انشعاب به Main1 در یک سیکل ساعت و بترتیب اجام دهیم دستور JVM متناظر با آن چگونه خواهد بود؟

goto Main1, wr, MDR=TOS=MBR .۲

TOS=MBR, MDR=TOS , wr , goto Main1 .۱

MDR=TOS, TOS=MBR , wr , goto Main1 .۴

MDR=TOS=MBR , wr , goto Main1 .۳

۱۱- استفاده از کد ویژه WIDE در برخی از دستورات JVM چه امکانی را برای برنامه نویس ایجاد می کند؟

۱. امکان دسترسی به همه فضای حافظه متغیرهای محلی با ایجاد اندیس ۱۶ بیتی.

۲. ایجاد تنوع بیشتر در دستوراتی مانند ILOAD,ISTORE و افزایش تعداد دستورات JVM.

۳. امکان دسترسی به همه فضای حافظه متغیرهای محلی با ایجاد اندیس ۸ بیتی.

۴. ایجاد پیاده سازی جدید برای دستوراتی مانند ILOAD,ISTORE در JVM.

۱۲- در Mic-2 بیشترین همپوشانی توسط چه عاملی ایجاد می گردد؟

۱. معمازی سه گذرگاه

۲. استفاده از خط لوله

۳. ادغام حلقه مفسر در دستورات

۴. واحد واکشی مجزا

۱۳- ریز برنامه زیر مربوط به کدام دستور در ماشین Mic-2 است؟

MAR = LV + MBR1U; rd

MAR = SP = SP + 1

TOS = MDR; wr; goto (MBR1)

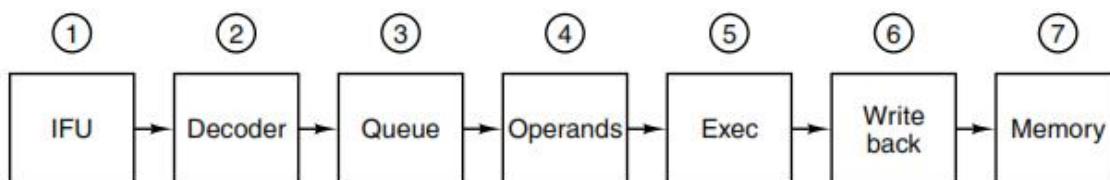
ILOAD .۴

BIPUSH .۳

IINC .۲

ISTORE .۱

۱۴- در پایپلاین هفت مرحله‌ای Mic-4 در صورتی که بیت goto در یک ریز دستور تنظیم شده باشد، اجرای دستورات به چه صورتی خواهد بود؟



۱. به دلیل وجود انشعاب واحد صفت پیام تصدیق را با یک سیکل توقف به واحد رمزگشایی ارسال می‌کند.

۲. علامت وجود وابستگی داده‌ای بین دستورات است و واحد رمزگشایی از ارسال ریز دستورات جدید خودداری می‌کند.

۳. به دلیل وجود انشعاب واحد صفت از ارسال پیام تصدیق به واحد رمزگشایی خودداری می‌کند.

۴. علامت پایان ریز دستورات است و واحد رمزگشایی پس از یک سیکل تأخیر می‌تواند بقیه ریزدستورات را ارسال کند.

۱۵- در کدام سیاست نوشتن از حافظه کش در حافظه اصلی محتویات حافظه اصلی زمانی بروز می‌شود که اولین miss (عدم دسترسی) اتفاق بیفتد؟

۱. پس نویسی ۲. تعویق نویسی ۳. کامل نویسی ۴. تخصیص نویسی

۱۶- در کدام روش پیش‌بینی انشعاب از یک شبیه ساز برای اجرای برنامه و تعیین رفتار آن استفاده می‌گردد؟

۱. روش استاتیک با استفاده از کامپایلر ۲. روش داینامیک با یک بیت پیش‌بینی ۳. روش داینامیک با دو بیت پیش‌بینی

۱۷- فرض کنیم می‌خواهیم برنامه‌ای در ۱۰۰ خط در زبان سطح بالا بنویسیم که ۹۰ درصد برنامه ۹۰ درصد زمان اجرا را به خود اختصاص می‌دهد. با فرض اینکه نوشتن برنامه در زبان سطح بالا ۱۰ روز زمان و اجرای آن ۱۰۰ ثانیه زمان لازم داشته باشد و نوشتن آن در زبان اسembly ۵ برابر زمان و اجرای آن ۳ برابر سریعتر از برنامه سطح بالا باشد، به عنوان یک روش ترکیبی ۱۰ درصد پیچیده برنامه با زبان اسembly و ۹۰ درصد دیگر با زبان سطح بالا نوشته شده است. در اینصورت زمان اجرای برنامه ترکیبی نسبت به زبان سطح بالا در این برنامه چگونه است؟

۱. ۱,۵ برابر سریعتر است. ۲. ۱,۵ برابر کندر است. ۳. ۲,۵ برابر سریعتر است.

۱۸- اسمنبلر پردازنده‌های اینتل، موتورولا و اسپارس برای رزرو فضای متغیرها در حافظه از چه فرمتی استفاده می‌کنند؟
DD (Define Double) , DC (Define Constant) , W (Word)

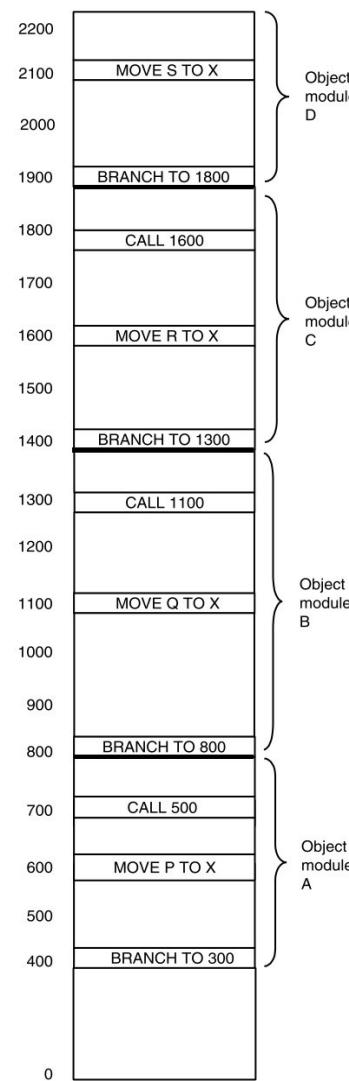
intel-DD , motorolla -DC , SPARC- W . ۲

intel-DD , motorolla -DC , SPARC- DD . ۱

intel-DC , motorolla -DD , SPARC- W . ۴

intel-DD , motorolla -DD , SPARC- DD . ۳

۲۳- در شکل اتصال ماجولهای برنامه ای نشان داده شده است، پس از بارگذاری دوباره برنامه هدف در حافظه کدام مشکل ایجاد شده است؟



۱. مشکل اتصال نادرست
۲. مشکل جابجایی در حافظه
۳. مشکل ارجاع خارجی
۴. استفاده نادرست از حافظه

زمان آزمون (دقیقه) : تستی : ۱۲۰ تشریحی : ۰

تعداد سوالات : تستی : ۳۰ تشریحی : ۰

عنوان درس : اصول سیستمهای کامپیوتو

رشه تحصیلی / گد درس : ریاضیات و کاربردها، علوم کامپیوتر، علوم کامپیوترا (چندبخشی) ۱۱۱۵۱۶۳ پایگاه خبری دانشجویان پیام نور



سی سی سوال : ایک

۰

۲۴- کدام در مورد پردازنده TriMedia صحیح است؟

۱. یک پردازنده VLIW و جزو پردازنده های RISC است.

۲. یک پردازنده VLIW و جزو پردازنده های CISC است.

۳. یک پردازنده Pipeline و جزو پردازنده های RISC است.

۴. یک پردازنده Multi Core و جزو پردازنده های CISC است.

۲۵- در صورتیکه بندهای سه برنامه A، B و C مطابق شکل مقابل باشند ، کدام گزینه اجرای چند بندی درشت دو تزريقی می تواند باشد؟

A1	A2			A3	A4	A5			A6	A7	A8
----	----	--	--	----	----	----	--	--	----	----	----

B1		B2		B3	B4	B5	B6	B7	B8
----	--	----	--	----	----	----	----	----	----

C1	C2	C3	C4		C5	C6		C7	C8
----	----	----	----	--	----	----	--	----	----

A1	B1	C1	C3	A3	A5	B2	C5	A6	A8	B3	B5
A2		C2	C4	A4		C6	A7	B4	B6		

.۲

A1	B1	C1	A3	B2	C3	A5	B3	C5	A6	B5	C7
A2		C2	A4		C4		B4	C6	A7	B6	C8

.۱

A1	B1	C1	C3	A3	A5	B2	C5	A6	A8	B5	C7
A2		C2	C4	A4		C6	A7	B4	B6	C8	

.۴

A1	B1	C2	C4	A4	B2	C6	A7	B3	B5	B7	C7
A2	C1	C3	A3	A5	C5	A6	A8	B4	B6	B8	C8

.۳

۲۶- در اجرای بندها با منابع مشترک در صورتی که بصورت پویا هر بندی منبع را در قسمت مشخصی از برش زمانی در اختیار بگیرد (مثلا ۲/۳ زمان) این موضوع کدام استراتژی مدیریت منابع درسیستم های چند بندی را بیان می کند؟

۱. اشتراک کامل ۲. منابع قسمت شده ۳. همتا سازی ۴. اشتراک محدود

۲۷- در طراحی یک پردازنده موازی از چهار هسته و در هر کدام از یک خط لوله ۷ بندی استفاده شده است و حافظه کش بصورت اشتراکی بین هسته ها استفاده می گردد، پردازنده مذکور جزو کدامیک از انواع پردازنده های موازی می باشد؟

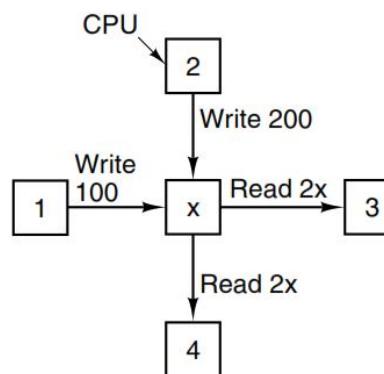
۱. چند هسته ناهمگن روی یک تراشه.
۲. چند خط لوله همگن در یک تراشه.
۳. چند هسته همگن روی یک تراشه.
۴. چند خط لوله نا همگن در یک تراشه.

-۲۸- در یک برد شبکه نقش تراشه های PPE (موتور پردازش پروتکل قابل برنامه ریزی) کدام است؟

۱. هر تراشه PPE یک پردازنده RISC با مقداری حافظه SDRAM و قابل برنامه ریزی بصورت خط لوله یا منفرد می باشد.
۲. هر تراشه PPE یک پردازنده CISC با مقداری حافظه SDRAM و قابل برنامه ریزی بصورت خط لوله یا منفرد می باشد.
۳. هر تراشه PPE یک پردازنده RISC با مقداری حافظه SDRAM و قابل برنامه ریزی بصورت خط لوله می باشد.
۴. هر تراشه PPE یک پردازنده RISC با مقداری حافظه SRAM و قابل برنامه ریزی بصورت چند بندی می باشد.

-۲۹- در شکل مقابل برای دو CPU که در حال نوشتن و دو CPU در حال خواندن صفحه ای از حافظه اشتراکی هستند کدام

ترتیب خواندن و نوشتن ممکن نیست؟



W 200
R4=200
W 100
R3=100
R4=100
R3=100

.۴

W 100
R4=100
W 200
R4=200
R3=200
R3=100

.۳

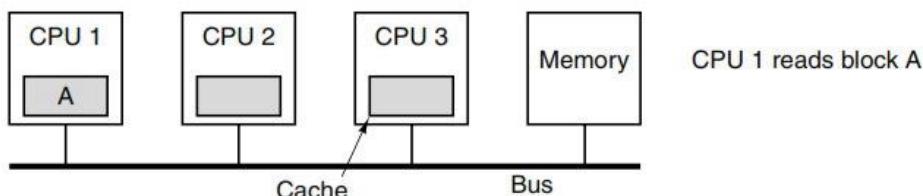
W 100
R3=100
W 200
R4=200
R3=200
R4=200

.۲

W 100
W 200
R4=200
R4=200
R3=200
R3=200

.۱

-۳۰- در شکل زیر اگر CPU1 بخواهد داده A را از حافظه اشتراکی بخواند کدام سیگنال را باید روی خط ارسال کند؟



۴. اختصاصی

۳. تسهیم شده

۲. نامعتبر

۱. تغییر کرده