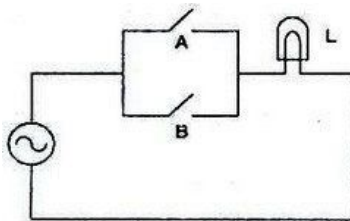


استفاده از ماشین حساب ساده، ماشین حساب مهندسی مجاز است

۱- مدار سوئیچینگ زیر مربوط به کدام گیت منطقی است؟



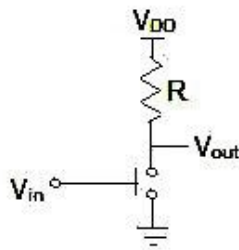
۲. $OR, L=A+B$

۱. $AND, L=A.B$

۴. $AND, L=A+B$

۳. $OR, L=A.B$

۲- در معکوس کننده پایه شکل زیر با فرض مقاومت کلید در حال وصل برابر R_{on} ، مقدار ولتاژ خروجی زمانیکه ورودی در سطح High قرار دارد چقدر است؟



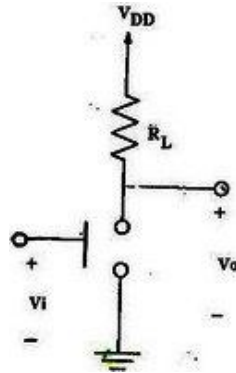
۲. صفر

۱. $\frac{R_{on}}{R_{on} + R} \times V_{DD}$

۴. VDD

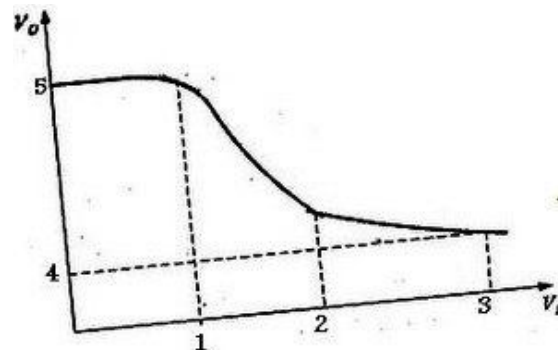
۳. $\frac{R}{R_{on} + R} \times V_{DD}$

۳- در مدار زیر که نقش یک کلید را دارد چه هنگام کلید باز است؟



۱. وقتی که V_i پایین است. (حدود صفر ولت)
 ۲. وقتی که V_i بالا است. (بالا تر از ولتاژ آستانه مشخص)
 ۳. وقتی که مقدار V_o پایین شود. (حدود صفر ولت)
 ۴. وقتی که مقدار V_o دقیقاً صفر ولت شود.

۴- با توجه به شکل رسم شده، در V_{IL} در کدام محل قرار دارد؟



۱. ۱
 ۲. ۲
 ۳. ۳
 ۴. ۴

۵- مقدار جریان خروجی گیت تحریک کننده در حالت بالا 71.4mA ، مقدار جریان خروجی گیت تحریک کننده در حالت پایین 54.3mA ، مقدار جریان ورودی گیت تحریک شونده در حالت بالا 98.9mA و مقدار جریان ورودی گیت تحریک شونده در حالت پایین 2.43mA می باشد. ظرفیت خروجی این گیت چقدر است؟

۱. ۲۲
 ۲. ۲۳
 ۳. ۱۵۰
 ۴. ۱۰

۶- ظرفیت خروجی یک گیت با مشخصات زیر کدام است؟

$$I_{OUT}(Low) = 54.3mA$$

$$I_{OUT}(High) = 71.4mA$$

$$I_{IN}(Low) = 2.43mA$$

$$I_{IN}(High) = 98.9\mu A$$

۹۸۹ .۴

۷۲۱ .۳

۲۲ .۲

۲۱ .۱

۷- در طراحی گیت های منطقی اگر جریان منبع کاهش یابد، تلفات توان و زمان تأخیر انتشار به ترتیب از راست به چپ چه تغییری می کنند و هر چه حاصلضرب تأخیر - توان (DP) یک گیت باشد آن خانواده کارآمدتر است.

۲ . کاهش، افزایش - کمتر

۱ . کاهش، افزایش - بیشتر

۴ . افزایش، کاهش - کمتر

۳ . افزایش، کاهش - بیشتر

۸- در کدام یک از مدارهای دیجیتال زیر ترکیبی از دونوع ترانزیستور MOS و دو قطبی وجود دارد؟

۲ . CMOS و NMOS

۱ . TTL

۴ . ECL

۳ . BiCMOS

۹- جریان دیود زمانی که $V_D \ll 0$ باشد برابر است با:

۱ . صفر

۲ . I_S

۳ . $-I_S$

۴ . باید مقادیر داده شود.

۱۰- با استفاده از رابطه ی شاکی مقدار جریان دیود پیوندی PN را در حالت بایاس مستقیم با $V_D = 0.7V$ و در دمای ۳۰۰ درجه کلون کدوم است؟

$$I_S = 10^{-14} A, K = 1.34 \times 10^{-23}, q = 1.6 \times 10^{-19}$$

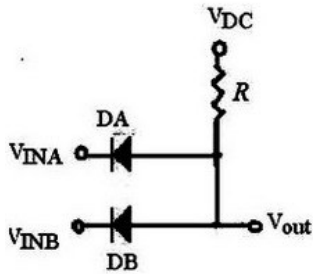
۴ . ۲۹,۸mA

۲ . ۱۴,۵mA

۲ . ۴,۸۵mA

۱ . ۷۹۰mA

۱۱- مدار زیر مربوط به کدام گیت منطقی است؟



OR .۴

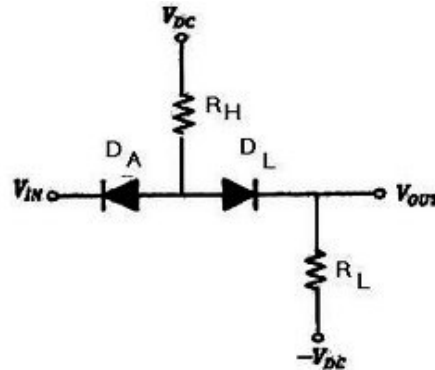
NOR .۲

NAND .۲

AND .۱

۱۲- در مدار شکل زیر، ولتاژ خروجی مینیمم (V_{OL}) و ماکزیمم (V_{OH}) به ترتیب از راست به چپ کدامند؟

$$V_{DC} = 4v, V_D(ON) = 0.7v, R_H = 1K\Omega, R_L = 1K\Omega$$



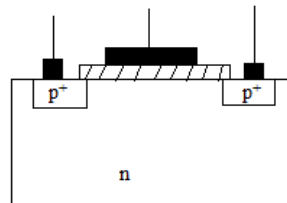
۰،۳۵،۴،۴

۰،۳۵،۴،۲

۰،۳۵،۴،۲

۰،۳۵،۴،۱

۱۳- شکل زیر ساختار چه عنصری را نشان می دهد؟



۰۴ ترانزیستور دوقطبی

۰۲ ترانزیستور PMOS

۰۲ ترانزیستور NMOS

۰۱ دیود PN



سری سوال: ۱ یک

زمان آزمون (دقیقه): تستی: ۱۰۰ تشریحی: ۰

تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/گد درس: مهندسی فناوری اطلاعات (چندبخشی)، مهندسی فناوری اطلاعات ۱۵۱۱۰۰۵ پایگاه خبری دانشجویان پیام نور

۱۴- کدام گزینه در مورد ترانزیستور دو قطبی صحیح نمی باشد؟

۱. از سه ناحیه نیمه رسانا به نامهای امیتر، بیس و کلکتور تشکیل می شود.
۲. در این ترانزیستور الکترون ها و حفره ها هر دو جریان را هدایت می کنند.
۳. در حالت اشباع پیوندهای بیس-امیتر و بیس-کلکتور هر دو بایاس مستقیم می باشند.
۴. معمولاً غلظت بیس را بالا می گیرند تا اینکه جریان دهی در جهت مستقیم بیشتر باشد.

۱۵- اگر در ترانزیستور npn زیر بایاس دیود D_1 و D_2 به ترتیب مستقیم، مستقیم باشند، وضعیت به کدام صورت خواهد بود؟



۱. اشباع
۲. قطع
۳. فعال معکوس
۴. فعال مستقیم

۱۶- نسبت به دارای سرعت سوئیچینگ بالاتر و ظرفیت خروجی بزرگتر است و در برای جلوگیری از اشباع زوج تفاضلی BJT به صورت کلید جریان به کار می رود. (از راست به چپ)

۱. ECL, TTL, ECL
۲. ECL, ECL, TTL
۳. TTL, TTL, ECL
۴. TTL, ECL, TTL

۱۷- برای یک ترانزیستور NMOS تخلیه‌ای $\lambda = 0.02$, $k_n = 200 \mu A / v^2$, $V_t = -2v$ می باشد، به ازاء $V_{GS} = 0, V_{DS} = 1v$ ترانزیستور در چه ناحیه‌ای است و جریان درین چقدر است؟

۱. خطی، $300 \mu A$
۲. خطی، $306 \mu A$
۳. اشباع، $816 \mu A$
۴. اشباع، $800 \mu A$

۱۸- کدام گزینه در مورد منطق RTL صحیح نیست؟

۱. fan-in برای گیت NAND در منطق RTL محدود است.
۲. fan-in برای گیت NOR در منطق RTL نامحدود است.
۳. اتلاف توان زیاد از معایب منطق RTL است.
۴. فلیپ فلاپ SR از نوع RTL در واقع از تزویج ضربدری دو گیت NAND بدست می آید.

۱۹- اگر برای گیت NAND که با منطق RTL پیاده سازی شده است.

$V_{CE}(SAT) = 1.7v, V_{BE}(FA) = 0.7v$ باشد، تعداد ورودهای مجاز گیت نباید بیشتر از ورودی

باشد.

۱. ۲
۲. ۳
۳. ۴
۴. ۵

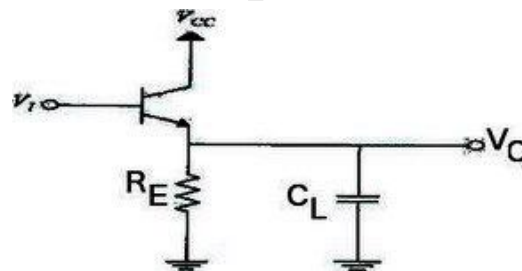
۲۰- برای اتصال CMOS به STTL از چه واسطی استفاده می شود؟

۱. مقاومت بالا بر
۲. مدار شیفتر دهنده سطح ولتاژ
۳. بافر
۴. مقاومت پایین بر

۲۱- کدام یک از گزینه های زیر بیان کننده تفاوت DTL و TTL است؟

- الف. به جای دیودهای شیفتر دهنده ولتاژ Q2 قرار گرفته است.
 - ب. RB به جای اتصال به تغذیه منفی به ولتاژ Q2 وصل شده است.
 - ج. RB به جای اتصال به تغذیه مثبت به ولتاژ زمین متصل است.
۱. گزینه الف
 ۲. گزینه ب
 ۳. گزینه ج
 ۴. گزینه الف و ج

۲۲- مدار شکل زیر، وقتی V_1 به ترتیب بالا و پایین باشد، خازن C_L به ترتیب از راست به چپ چه تغییری می کند؟



۱. سریعاً تخلیه می شود، سریعاً شارژ می شود.
۲. سریعاً شارژ می شود، به آرامی تخلیه می شود.
۳. به آرامی تخلیه می شود، سریعاً شارژ می شود.
۴. سریعاً تخلیه می شود، به آرامی شارژ می شود.

۲۳- در یک گیت NAND از نوع TTL شاتکی، با کاهش مقدار مقاومتها چه اتفاقی رخ می دهد؟

۱. افزایش زمان تاخیر
۲. کاهش سرعت
۳. کاهش اتلاف توان
۴. افزایش اتلاف توان

۲۴- در منطق ترانزیستور - ترانزیستور، TTL باعث نمی شود.

۱. افزایش ظرفیت خروجی
۲. افزایش سرعت سوئیچینگ
۳. کاهش مساحت تراشه
۴. افزایش توان مصرفی

۲۵- در مدار گیت TTL استاندارد، وظیفه ترانزیستور طبقه میانی کدام است؟

۱. جلوگیری از اشباع ترانزیستور ورودی
۲. کاهش حاشیه امنیت نویز
۳. شیفتر دهنده سطح ولتاژ
۴. تولید دو سیگنال خروجی مکمل

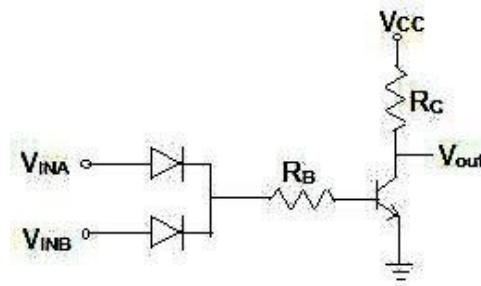
۲۶- برای افزایش سرعت TTL چه کار می کنند؟

۱. بین بیس و کلکتور، دیود شاتکی گذاشته می شود.
۲. یکی از ورودی ها را در حالت بالا قرار می دهند.
۳. ترانزیستور چند امپتری را بین بیس و کلکتور قرار می دهند.
۴. کاری می کنند تا حاشیه های نویز بالا و پایین در آن برابر شوند.

۲۷- از بدست آمدن دو خروجی مکمل گیت ECL کدام توابع منطقی تحقق می یابند؟

۱. AND و NAND ۲. OR و NOR ۳. XOR و XNOR ۴. OR و XNOR

۲۸- مدار شکل زیر مانند چه گیتی عمل می کند؟



۱. NAND ۲. AND ۳. NOR ۴. OR

۲۹- کدام نوع خانواده ی منطقی TTL شاتکی نسبت به زیر خانواده های دیگر دارای سرعت بهتری است؟

۱. LSTTL ۲. ALSTTL ۳. FAST ۴. MECL

۳۰- دلیل استفاده بیشتر CMOS نسبت به NMOS کدام است؟

۱. توان مصرف کمتر ۲. تأخیر انتشار کمتر ۳. جریان متوسط بیشتر ۴. DFF بیشتر