تعداد سوالات : تستی : ۲۵ تشریحی : ۵ | زمان آزمون (دقیقه) : تستی : ۶۰ تشریحی : ۶۰ | سری سوال : یک ۱

عنـــوان درس : VLSI طراحی مدارهای،VLSI طراحی سیستمهای

رشته تحصیلی/کد درس : مهندسی کامپیوتر(سخت افزار) ۱۱۱۵۲۰۵ - ، مهندسی برق - گرایش الکترونیک۱۳۱۹۱۷۵

استفاده از ماشین حساب مهندسی مجاز است

۱- تعداد die در یک ویفر با قطر 30 سانتی متر، با فرض آنکه اندازه مساحت die $0.7cm^2$ باشد، مطابق کدام گزینه می باشد؟

۱. 790 ۲. 1009 ۳. 930 ۴. 321

۲- یک گیت انتقالی CMOS با $|V_{TH}|=1V, K'(W/L)=100\mu A/V^2$ وسیگنال های کنترلی $\pm 5V$ کارمی کند.سیگنال ورودی در محدوده صفر تا پنج ولت تغییر می کند،مقاومت سوئیچ به ازای مقادیر حدی چقدر است؟

۱. $333\ k\Omega$ ۲. $1.25\ k\Omega$ ۳. $25\ k\Omega$ ۴. $3.33\ k\Omega$

۳- در جریان ابزار ASIC از کدام ابزار برای تبدیل نمایش RTLبه سطح گیت استفاده می شود؟

۱. ابزارسنتز منطقی ۲. ابزار شبیه سازی ۳. ابزار مسیردهی ۴. ابزار بازبینی

۴- کمترین تعداد ترانزیستوری که می توان به کمک آنها مدار سوئیچی تابع AND را طراحی کرد کدام است؟

۱. 8 ۲. 6 ۳. 4 ۴. 2

۵- در یک وارونگر CMOS برای پیشگیری از بایاس مستقیم (forward biasing)پیوند p-n بین زیر لایه نوع p و سورس و یا درین nMOS ،باید زیر لایه را به پتانسیل .....و چاه n را به پتانسیل .....متصل کرد.

۱. زیاد، کمتر ۲. کم، بیشتر ۳. کم،کمتر ۴. زیاد،بیشتر

۶- در ترانزیستورهای عبور، ترانزیستور نوع P برای عبورمقدار منطقی.....و ترانزیستورنوعN برای عبورمقدار منطقی.....بسیار مناسب می باشندوسوئیچ ..... عمل می کند.

۱. 0،1،یک طرفه ۲. 1،0،یک طرفه ۳. 0،1 ، دوطرفه ۴. 1،0 ،دوطرفه

۷- در ساخت یک وارونگر CMOS از چند ماسک استفاده می شود؟

۱. 4 ۲. 6 ۳. 8 ۴. 10

۸- تابع $f=\overline{(A+B+C).(D+E+F)}$ معادل چیست؟

۱. OAII32 ۲. AOI33 ۳. OA33 ۴. AO33

۹- به ازای $V_{DS}\le V_{GS}-V_{TH}$ و $V_{DS}>V_{GS}-V_{TH}$ تراتزیستورMOS به ترتیب در کدامیک از نواحی کاری قرار دارد؟

۱. اشباع،قطع ۲. قطع،اشباع ۳. خطی ، اشباع ۴. اشباع،خطی

پیام نورنا – دانلود رایگان نمونه سوالات پیام نور+پاسخنامه
WWW.PNUNA.COM
WWW.PNUNA.COM
WWW.UNIP.IR
معتبرترین فروشگاه آنلاین نمونه سوالات پیام نور به همراه پاسخنامه

تعداد سوالات : تستی : ۲۵ تشریحی : ۵ | زمان آزمون (دقیقه) : تستی : ۶۰ تشریحی : ۶۰ | سری سوال : ۱ یک

عنـــوان درس : طراحی سیستمهای VLSI،طراحی مدارهای VLSI

رشته تحصیلی/کد درس : مهندسی کامپیوتر(سخت افزار) ۱۱۱۵۲۰۵ - ، مهندسی برق - گرایش الکترونیک۱۳۱۹۱۷۵

۱۰- نتایج اندازه گیری برای دو ترانزیستور در حال کار ثبت شده است(جریان بر حسب میکرو آمپر و ولتاژ می باشد). کدام گزینه نوع ترانزیستور ها را درست نشان می دهد؟

ترانزیستور	VS	VG	VD	ID
نوع ۱	۵	۳	۴	۲۰۰
نوع ۱	۵	۲	۵	۸۰۰
نوع ۲	-۲	۰	۰	۷۲
نوع ۲	-۴	۰	۳	۲۷۰

۱. ترانزیستور نوع ۱، N و ترانزیستور نوع ۲، P

۲. ترانزیستور نوع ۱، P و ترانزیستور نوع ۲، N

۳. ترانزیستور نوع ۱، N و ترانزیستور نوع ۲، P

۴. ترانزیستور نوع ۱، P و ترانزیستور نوع ۲، N

۱۱- کدامیک از خازن های اکسید در دو حالت عملکردی خطی واشباع ترانزیستور MOS دارای مقدار صفر می باشد؟

۱. C_{gs}

۲. C_{gd}

۳. C_{gb}

۴. هیچکدام

۱۲- کدام گزینه درست می باشد؟

۱. هدایت انتقالی در دوقطبی ها مستقل از دما می باشد.

۲. ترانزیستور های CMOS در مقایسه با دوقطبی ها به مساحت کمتری نیاز دارند.

۳. برای یک ترانزیستورNMOS در چاه P متصل به زمین، هنگامی که سطح ولتاژ سورس به بالاتر از زمین می رسد،ولتاژ آستانه شروع به کاهش می کند.

۴. برای ساخت مدارهای BiCMOS می توان دقیقا از همان فرایند ساخت CMOS استفاده کرد.

۱۳- با توجه به اینکه $\mu_n = 2.5\mu_p$ عرض نسبی دو MOSFET کانال Nو P باید چه رابطه ای نسبت به هم داشته باشند تا پارامتر رسانایی انتقال آنها یکی باشد؟

۱. $W_p = W_n$

۲. $W_p = 0.25W_n$

۳. $4W_p = W_n$

۴. $0.4W_p = W_n$

پیام نورنا – دانلود رایگان نمونه سوالات پیام نور+پاسخنامه
WWW.PNUNA.COM
www.PNUNA.COM

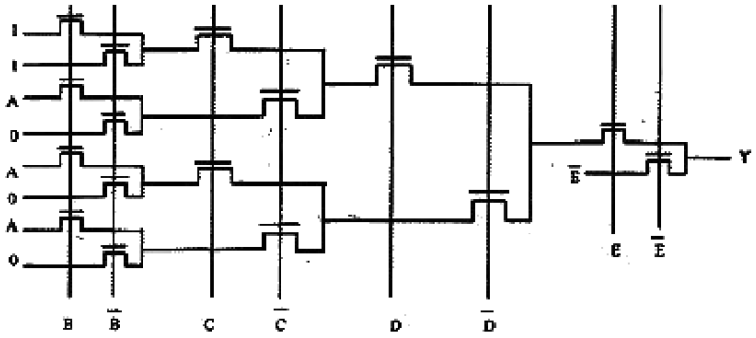
WWW.UNIP.IR
معتبرترین فروشگاه آنلاین نمونه سوالات پیام نور به همراه پاسخنامه

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنوان درس : طراحی سیستمهای VLSI،طراحی مدارهای VLSI

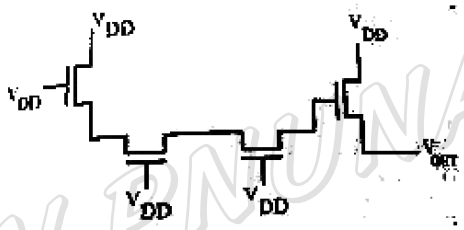
رشته تحصیلی/کد درس : مهندسی کامپیوتر(سخت افزار) ۱۱۱۵۲۰۵ - ، مهندسی برق - گرایش الکترونیک۱۳۱۹۱۷۵

۱۴- تابع منطقی مدار زیر چیست؟



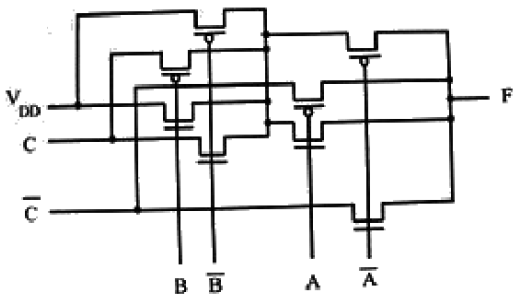
۱. $Y=(A.B+C.D)+\overline{E}$
۲. $Y=A.B+C.D+A.E$
۳. $Y=A.B+C.D+E$
۴. $Y=(\overline{A}+\overline{B}).(\overline{C}+\overline{D}).\overline{E}$

۱۵- در شکل زیر ولتاژ خروجی برابر چیست؟



۱. $V_{DD}-V_t$
۲. $V_{DD}-3V_t$
۳. $V_{DD}-2V_t$
۴. $V_{DD}-4V_t$

۱۶- تابع پیاده سازی شده با ترانزیستورهای عبور مدار زیر چیست؟



۱. $A.B+\overline{A}.\overline{C}+A.\overline{B}.C$
۲. $A.B.C+A.C.B$
۳. $A\oplus B\oplus C$
۴. $(A\oplus B).C$

۱۷- یک گیت منطقی CMOS چنانچه ورودی اش در وضعیت بالا قراربگیرد $2\mu A$ و چنانچه در وضعیت پایین قرار گیرد، $3.6\mu A$از منبع تغذیه جریان می کشد. چنانچه $V_{DD}=3.3V$ فرض شود آنگاه متوسط توان مصرفی این گیت را محاسبه کنید.

۱. $2.8\mu W$
۲. $5.6\mu W$
۳. $9.24\mu W$
۴. $18.48\mu W$

پیام نورنا – دانلود رایگان نمونه سوالات پیام نور+پاسخنامه
WWW.PNUNA.COM
WWW.PNUNA.COM
WWW.UNIP.IR
معتبرترین فروشگاه آنلاین نمونه سوالات پیام نور به همراه پاسخنامه

تعداد سوالات : تستی : ۲۵ تشریحی : ۵ | زمان آزمون (دقیقه) : تستی : ۶۰ تشریحی : ۶۰ | سری سوال : ۱ یک

عنوان درس : طراحی سیستمهای VLSI،طراحی مدارهای VLSI

رشته تحصیلی/کد درس : مهندسی کامپیوتر(سخت افزار) ۱۱۱۵۲۰۵ - ، مهندسی برق - گرایش الکترونیک۱۳۱۹۱۷۵

۱۸- برای پیاده سازی نقشه کارنوی زیر، حداقل به چند ترانزیستور در شبکه پایین بر نیاز داریم؟

B C \ A	0	1
00	0	1
01	1	0
11	0	0
10	0	0

۱. 9 ۲. 8 ۳. 16 ۴. 5

۱۹- درطراحی خوب معمولا NM_L چگونه انتخاب می شود؟

۱. $NM_L > VDD/4$ ۲. $NM_L < VDD/4$ ۳. $NM_L > VDD/2$ ۴. $NM_L < VDD/2$

۲۰- روش نمایشی..... محل نسبی اجزای مدار و روش نمایشی..... محل دقیق لایه ها و تماس ها را نشان می دهد.

۱. نمودار شماتیک،نمودار میله ای ۲. نمودار میله ای،نمودار شماتیک
۳. چینش مدار،نمودارمیله ای ۴. نمودارمیله ای،چینش مدار

۲۱- در وارونگر با بار تخلیه ای نسبت به وارونگر با بار مقاومتی حاشیه های نویز و مساحت چینش به ترتیب ..... و ..... می باشد.

۱. کمتر ، بیشتر ۲. بیشتر،کمتر ۳. کمتر،کمتر ۴. بیشتر،بیشتر

۲۲- کدام قانون طراحی، توصیف کننده حداقل پهنای کانال ترانزیستور است؟

۱. پهنای پلی سیلیکون ۲. پهنای فلز ۳. پهنای نفوذ ۴. طول پلی سیلیکون

۲۳- در کدامیک از حالات خروجی وارونگر CMOS هردو ترانزیستور در حالت اشباع می باشند؟

۱. $V_{out} = V_{OH}$ ۲. $V_{out} = V_{OL}$ ۳. $V_{out} = V_{INV}$ ۴. $V_{out} = V_{DD}$

۲۴- فواصل بین نماها در فاصله مینیمم، از چه مشکلی جلوگیری می نماید؟

۱. اتصال کوتاه ۲. اتصال باز ۳. اتلاف توان ۴. تاخیر زمان بندی

۲۵- فرض کنید برای یک گیت AOI با ظرفیت بار $10fF$، $R_{on} = 10k\Omega$ اگر $t_{rise} = 0.5ns$ فرض شود، τ_{PHL} واقعی چقدر است؟

۱. 259ps ۲. 0.069ns ۳. 0.038ns ۴. 3.45ps

پیام نورنا – دانلود رایگان نمونه سوالات پیام نور+پاسخنامه
WWW.PNUNA.COM
www.PNUNA.COM
WWW.UNIP.IR
معتبرترین فروشگاه آنلاین نمونه سوالات پیام نور به همراه پاسخنامه

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس : طراحی سیستمهای VLSI،طراحی مدارهای VLSI

رشته تحصیلی/کد درس : مهندسی کامپیوتر(سخت افزار) ۱۱۱۵۲۰۵ - ، مهندسی برق - گرایش الکترونیک۱۳۱۹۱۷۵

سوالات تشریحی

۱- برای یک ترانزیستور NMOS تخلیه ای $V_{TH}=-2V, K_n'(W/L)=200\mu A/V^2, \lambda=0.02/V$ می باشد. به ازای $V_{DS}=1V, V_{GS}=0$ MOSFET در چه ناحیه ایست و جریان درین چقدر است؟ ۱،۴۰ نمره

۲- وارونگر CMOS با پارامترهای زیر را در نظر بگیرید: ۱،۴۰ نمره

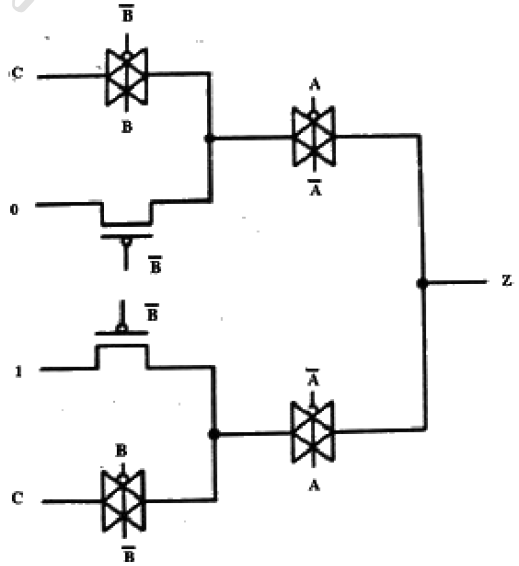
$$V_{DD}=3.3V, V_{TH,n}=0.6V, V_{TH,P}=-0.7V$$
$$K_n=200\mu A/V^2, K_P=80\mu A/V^2$$

مقادیر حاشیه های نویز را محاسبه کنید.

۳- تابع منطقی $F=(\overline{A}.\overline{B}+\overline{C}+\overline{D})(G+\overline{EF})$ را با منطق CMOS و حداقل تعداد ترانزیستورطراحی کنید. ۱،۴۰ نمره

۴- محاسن و معایب استفاده از شبه nMOS در مقایسه با CMOS تکمیلی را بیان کنید. ۱،۴۰ نمره

۵- گیت های انتقالی در شکل زیر چه تابع منطقی را پیاده سازی می کنند؟ ۱،۴۰ نمره



WWW.PNUNA.COM

پیام نورنا – دانلود رایگان نمونه سوالات پیام نور+پاسخنامه
WWW.PNUNA.COM
WWW.UNIP.IR
معتبرترین فروشگاه آنلاین نمونه سوالات پیام نور به همراه پاسخنامه